

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-122533

(43)Date of publication of application : 30.04.1999

(51)Int.Cl.

H04N 5/335

H01L 27/04

H01L 21/822

H01L 27/146

(21)Application number : 09-285386

(71)Applicant : SHARP CORP

(22)Date of filing : 17.10.1997

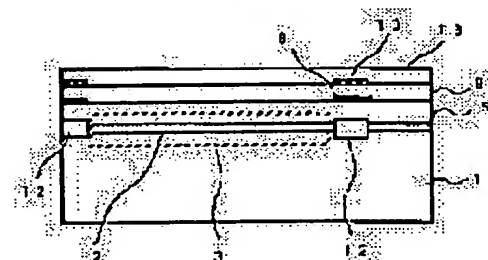
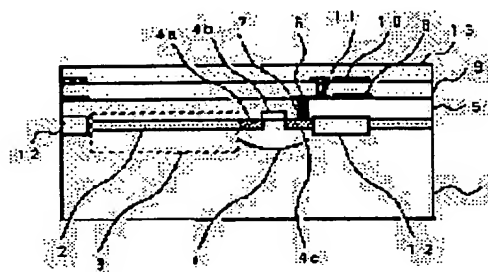
(72)Inventor : SUYAMA NAOHIRO

## (54) SEMICONDUCTOR AMPLIFIER CIRCUIT AND SOLID-STATE IMAGE PICKUP ELEMENT USING IT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain an excellent image automatically by providing a low resistance electrode layer between a signal read line and a substrate and connecting the layer to a power supply having a stable output voltage characteristic so as to fix/stabilize a voltage applies to the signal read line and also to a stray capacitance of a photo diode thereby stabilizing and uniformizing the output characteristic over entire pixels.

**SOLUTION:** A contact region 6 made of a low resistance material is formed on an inter-layer film 5, and the contact region 6 connects electrically to a drain 4c of a MOS transistor 4 through a hole 7 made to the inter-layer film 5. An electrode layer 8 made of a low resistance material is formed on the inter-layer film 5 separately from the contact region 6. A signal read line 10 on an insulation layer 9 on the semiconductor substrate 1 connects electrically to the contact region 6 through a hole 11 made to the insulation layer 9 so as to be overlapped with the electrode layer 8. Then the electrode layer 8 in the actual operation connects to a constant voltage source at the outside of a pixel region.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-122533

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 4 N 5/335

H 0 4 N 5/335

E

H 0 1 L 27/04

H 0 1 L 27/04

D

21/822

27/14

A

27/146

審査請求 未請求 請求項の数 9 O L (全 9 頁)

(21) 出願番号

特願平9-285386

(22) 出願日

平成9年(1997)10月17日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 須山 尚宏

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

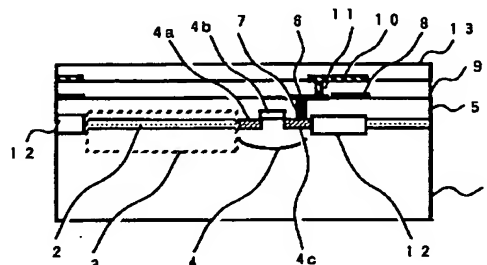
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 半導体増幅回路及びそれを用いた固体撮像素子

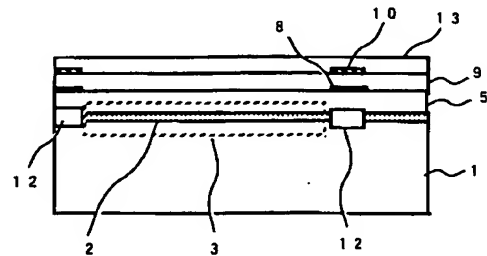
(57) 【要約】

【課題】 CMOS型の固体撮像素子において、基板内を流れる電流によってその電位が基板面内で場所的・時間的に変動し、それによって信号読み出し特性に不安定性/面内分布を生じ、画質の劣化を生じていた。

【解決手段】 半導体基板1と信号読み出し配線10との間に、半導体基板1および信号読み出し配線10とは絶縁された低抵抗の電極層8を配するとともに、この電極層8を定電圧電源と接続し、信号読み出し配線10の浮遊容量に加わる電圧を場所的にも時間的にも安定化させる。



(a)



(b)

FP83-0327 -0000-KP
04.3.9
SEARCH REPORT

## 【特許請求の範囲】

【請求項1】 アナログ信号を伝搬する配線と、上記配線と直接的に接続された帰還容量を有する積分回路を含む回路とが、半導体基板上に集積された半導体増幅回路であって、

上記配線が、上記半導体基板表面の上部に形成され、かつ、上記配線と上記半導体基板との間に、低抵抗の電極層が、上記配線とは絶縁状態で形成され、上記半導体増幅回路の動作時には、上記電極層に定電圧が印加されることを特徴とする半導体増幅回路。

【請求項2】 請求項1記載の半導体増幅回路において、上記電極層が、半導体基板と絶縁状態で形成されることを特徴とする半導体増幅回路。

【請求項3】 請求項1又は、2記載の半導体増幅回路において、上記電極層に印加される電圧が、半導体基板の接地電圧以上、半導体基板に回路駆動のために供給されている最大電圧以下であることを特徴とする半導体増幅回路。

【請求項4】 請求項1乃至3記載の半導体増幅回路において、上記電極層の幅が、上記配線の幅の50%以上あるとともに、上記電極層は、上記配線と少なくとも一部で重なり領域を有していることを特徴とする半導体増幅回路。

【請求項5】 半導体基板上に形成された、複数の光電変換領域と、上記複数の光電変換領域のそれぞれの近傍に形成され、上記光電変換領域と1対1に接続され、上記光電変換領域の信号を選択的に読み出すための複数のスイッチング素子と、上記複数のスイッチング素子を列単位で接続する複数の信号読出線と、

上記信号読出線に1対1で接続された複数の信号読出用の増幅回路と、を備えた固体撮像素子において、上記増幅回路の上記信号読出線に接続する部分が、積分型の回路で形成され、かつ、上記信号読出線と上記半導体基板との間に、低抵抗の電極層が、上記信号読出線とは絶縁状態で形成され、回路動作時には、上記電極層に定電圧が印加されることを特徴とする固体撮像素子。

【請求項6】 請求項5記載の固体撮像素子において、上記電極層が上記半導体基板と絶縁されていることを特徴とする固体撮像素子。

【請求項7】 請求項5又は、6記載の固体撮像素子において、上記電極層に印加される電圧が、上記半導体基板の接地電圧以上、半導体基板に回路駆動のために供給されている最大電圧以下であることを特徴とする固体撮像素子。

【請求項8】 請求項5乃至7記載の固体撮像素子において、上記電極層の幅が、上記信号読出線の幅の50%以上で

あるとともに、上記電極層は、上記信号読出線と少なくともその一部に、重なり領域を有していることを特徴とする固体撮像素子。

【請求項9】 請求項5乃至8記載の固体撮像素子において、

上記半導体基板の表面上に、上記固体撮像素子の電源回路のグランドと電気的に低抵抗で接続した低抵抗のグランド配線を有し、上記複数の光電変換領域のそれぞれが、上記低抵抗のグランド配線と接続する接地領域を有するか、あるいは上記接地領域と隣接していることを特徴とする固体撮像素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体増幅回路及びそれを用いた固体撮像素子に関し、特に、CMOS型の信号読出回路を有し、画素領域全面にわたり安定した信号読出特性を有する固体撮像素子に関するものである。

## 【0002】

【従来の技術】固体撮像素子として、その信号読出回路に、CMOSのトランジスタ（FET）を用いたCMOSイメージャと呼ばれるものが知られている。このCMOSイメージャは、その製造を種々の集積回路の作製に利用されるCMOS工程を利用するので、同一基板上に他の機能回路、例えばADコンバータであるとか、信号圧縮回路などを組み込むことが可能であり、高機能素子を低価格で提供できるという特徴を持っている。

【0003】また、そのように作製した回路は、すべてCMOSの動作電圧で駆動することが可能であり、5V以下の低電圧動作が可能である上に、CMOSイメージャの画素領域では、信号を読み出す部分のみの回路を動作させればよいといった特徴などによって、現在広く用いられているCCDイメージャに比べ大幅な低消費電力化が可能であるという特徴を有しており、電池動作が主となるような小型携帯機器用の画像読み取り装置として大きな可能性を有している。

【0004】このようなCMOSイメージャの信号読出法（回路）としては、いくつかの方法が知られているが、それらの中で、図7に示すような回路を用いたものが知られている。ただし、以降の説明の簡略化のため、本発明に関係する主要部分の基本構成しか示していない。この信号読出回路では、受光した光を電気信号に変える光電変換素子としてフォトダイオード101を用いており、このフォトダイオード101の一方の端子はグランドに接続され、他方の端子は、信号読み出し画素を選択するためのスイッチとしてのMOSTランジスタ102のソース102aに接続している。そして、前記MOSTランジスタ102のドレイン102bは、信号読出線104に接続している。

【0005】図7においては簡略化のため、1画素（フ

フォトダイオード)相当分の回路しか示していないが、通常は図9に示すように、1つの信号読出線34には、MOSTランジスター32を介して、複数のフォトダイオード31が接続されている。信号読出線104は、積分回路110に接続されている。上記信号読出線104は、図9の信号読出線34に相当し、上記積分回路110は、図9の水平走査回路及び出力増幅系回路39に設けられている。

【0006】図7の信号読出回路には少なくとも3つの容量、フォトダイオード101の浮遊容量101a(容量:C1)、配線104の浮遊容量103(容量:C2)、積分回路110の帰還容量106(容量:C3)が存在しており、帰還容量106は、意図的に積分回路内に形成するものであるのに対し、浮遊容量101aと103は、回路形成に伴い自動的に形成される。このような回路構成において、フォトダイオード101が光を受けることにより発生する信号は、以下のような動作によって積分回路110の出力108に出力される(通常この出力はさらにここに示されていない別の回路に接続される)。

【0007】以下、この信号読出回路の動作について説明する。なお、ここでは原理的な事項の説明を目的としているので回路の動作は理想的であるとする。この信号読出回路における動作の進行を図5に示す。オペアンプ105の+側の入力端子105aは、常時、基準電圧Vrefに接続している。その状態で、まず、光強度に対応した信号を発生するために基準となる状態を形成するために、トランジスター102と107とをオンにして、ここに示されている回路の全域を基準電位Vrefにリセットする。次に、トランジスター102と107とをオフ状態として、フォトダイオード101に発生したキャリアを、フォトダイオード101の浮遊容量101aに蓄積する。このとき、この部分の電圧、即ち、図7の電圧V1は、基準電圧Vrefからフォトダイオード101で発生した電荷量 $\Delta Q1$ とすると対応した電圧変化量 $\Delta V1$ とすると、電圧変化量 $\Delta V1 = \Delta Q1 / C1$ だけ変化することになる。

【0008】信号を読み出すためには、このキャリアの生成/蓄積状態をある時間保持した後、トランジスター102のゲート102cに所定の電圧を印加して、このトランジスター102をオン状態とするが、このとき、オペアンプ105の-側の端子105bは、オペアンプ105の理想的動作により基準電圧Vrefであるので、この操作によりフォトダイオード101の電圧V1は、基準電圧Vrefに復帰することになる。また、配線104の浮遊容量103の電圧、即ち、図7の電圧V2は、リセット時と同じ基準電圧Vrefを維持している。

【0009】従って、このときの浮遊容量101a及び、103蓄積されている容量は、リセット動作完了時と同じになる。この状態において、オペアンプ105の

-側の端子105bが、接続した領域が閉じていることにより、フォトダイオード101で発生したキャリアは、すべて帰還容量106に蓄積されることになり、 $V = Q / C$ の関係より、オペアンプ105の出力は、リセット状態の電圧から、電圧変化量 $\Delta V3 = -\Delta Q1 / C3$ だけ変化することになる。通常、キャリア蓄積時間に比べ信号読出時間は十分に短いので、単純化のためにこの信号読出期間中にフォトダイオード101で発生した電荷は無視している。

【0010】つまり、フォトダイオード101の光吸収による電圧変化量 $\Delta V1 = \Delta Q1 / C1$ は、電圧変化量 $\Delta V3 = -\Delta Q1 / C3$ だけの出力電圧の変化を与えることになる。実際の撮像素子では、1つのアンプ回路によって複数の画素の信号を読み出すので、以上に述べたリセット動作と信号読み出し動作を繰り返して、複数の画素の信号を順次読み出すことになる。そして、このような理想的状態においては、すべての画素について同じ動作状態が得られることになるので、同じ強度の光を照射した場合に、画素領域全面にわたり同じ出力が得られることになる。

【0011】

【発明が解決しようとする課題】図8に、図7に示す回路構成を有する従来の固体撮像素子の、1つの画素のフォトダイオード近傍の断面構造図の一例を示す。図8(a)は、信号の読み出しをon/offするスイッチとしてのMOSTランジスター(図7の102)を含む領域の断面図で、図8(b)は、MOSTランジスターを含まない領域の断面図である。

【0012】この従来例においては、p型半導体基板1上に、イオン注入によってn型領域2が形成され、これによって、光電変換領域としてのフォトダイオード3が形成されている。フォトダイオード3のn型領域2の一部は、信号読み出しやリセット動作のon/offのスイッチとして機能するMOSTランジスター4のソース4aに連続的に接続している。このMOSTランジスター4は、ソース4aに隣接して、ゲート酸化膜(図示せず)を介してpoly-Si等からなるゲート4bが形成され、このゲート4bを挟んでソース領域4aの反対側に、ドレイン4cが形成されている。このフォトダイオード3とMOSTランジスター4が形成された1つの画素領域の周辺には、画素分離領域としてフィールド酸化膜12が形成されている。

【0013】以上のようにフォトダイオード3、MOSTランジスター4およびフィールド酸化膜12が形成された半導体基板1上には、PSG(ポリ・シリケート・ガラス)等からなる層間膜5が積層されている。この層間膜5上には、金属材料等の低抵抗材料からなる信号読出線20が形成され、この信号読出線20は、層間膜5に形成された穴17を介して、MOSTランジスター4のドレイン4cと電気的に接続している。信号読出線2

0が形成された半導体基板1上には、 $\text{SiO}_2$ 等からなる絶縁層9が積層され、さらにその上には、保護膜13としてシリコン窒化膜等が形成されている。

【0014】このような素子構造においては、フォトダイオード3では、そこに形成されるpn接合により、また信号読出線20では、半導体基板1との間で浮遊容量（それぞれ図7の101a、103）が形成されることになる。そして、図9に示すように、信号読出線34は、多数の画素（実際には数百）の信号を読みとれるように配線されているために、かなり長い配線が必要とする。そのため、この信号読出線34の浮遊容量（図7の103）は、かなり大きな値となる。

【0015】そして、より現実的な回路図を、図10に示す。フォトダイオード101の浮遊容量101aや信号読出線104の浮遊容量103は、半導体基板を介して電源のグランドと接続されることになる。実際には、浮遊容量101aと浮遊容量103につながる抵抗値は異なるが、ここでは以降の説明に簡略化のため、同じ抵抗109につながっているとしたので、この半導体基板の抵抗成分やそこに流れる電流に起因する電位変動の影響を受け、基板内を電流が流れることによって基板の各点においてその位置に応じた電位 $V_x$ を発生することになる。

【0016】このような状態においても、その電位が時間的に安定で一定値を保持しているならば、図7の考察において浮遊容量101a、および浮遊容量103に印加される電圧が、図7で考察した電圧に対して抵抗109の部分にかかる電圧 $V_x$ だけ小さくなり、そこに蓄積される電荷量がそれに依りて変化することにはなるものの、フォトダイオード101の光吸収/キャリア生成に対応して発生するフォトダイオード101の電圧変化量 $\Delta V_1$ および、出力108の電圧変化量 $\Delta V_3$ は、飽和領域に達するまでの範囲内において、図7での説明の場合と変わらない。

【0017】しかしながら、実際の回路動作時においては、水平、垂直の走査回路や出力系のアンプ動作のためのクロック動作などにより、基板内を流れる電流は刻々変化しており、それに伴って基板内の各点の電位も、その位置や時間に依りて変化することになり、出力電圧もその影響を大きく受けることになる。以下でその影響について説明する。

【0018】図10において、浮遊容量103と基板/配線抵抗の接続点112の電位 $V_x$ が時間の関数であって、それが、信号を読み出そうとする画素の信号読み出しの直前のリセット動作終了時刻 $t=t_1$ の電位 $V_{xo}$ であるとする。この場合にフォトダイオード101の浮遊容量101aに蓄積されている電荷 $Q_{10}$ は、

$$Q_{10} = C_1 \cdot (V_{\text{ref}} - V_{xo})$$

信号読出線104の浮遊容量103に蓄積されている電荷 $Q_{20}$ は、

$$Q_{20} = C_2 \cdot (V_{\text{ref}} - V_{xo})$$

また、帰還容量106に蓄積されている電荷 $Q_{30}$ は、帰還容量106の両端の電圧がともに基準電圧 $V_{\text{ref}}$ であることより0である。

【0019】この状態で、MOSTランジスター102によるスイッチがoffとなって、フォトダイオード101によってキャリアが生成され、それがフォトダイオード101の浮遊容量101aに蓄積される。 $t=t_2$ の信号読み出し時まで、フォトダイオード101で生成された電荷量を $\Delta Q_1$ 、浮遊容量103と基板/配線抵抗の接続点112の電位 $V_x$ が、 $V_{xo}$ から $\Delta V_x$ だけ変化（増加）していたとする。MOSTランジスター102によるスイッチがonとなって、信号読み出しが開始すると、ある時間の後、信号読出線の電位は基準電圧 $V_{\text{ref}}$ になるので、 $t=t_2$ のとき、フォトダイオード101の浮遊容量101aに蓄積される電荷 $Q_{11}$ は、

$$Q_{11} = C_1 \cdot (V_{\text{ref}} - V_{xo} - \Delta V_x) = Q_{10} - C_1 \cdot \Delta V_x$$

信号読出線104の浮遊容量103に蓄積される電荷 $Q_{21}$ は、

$$Q_{21} = C_2 \cdot (V_{\text{ref}} - V_{xo} - \Delta V_x) = Q_{20} - C_2 \cdot \Delta V_x$$

となる。

【0020】以上より、このとき帰還容量106に蓄積される電荷 $Q_{31}$ は、

$$Q_{31} = \Delta Q_{31} + (C_1 + C_2) \cdot \Delta V_x$$

となるので、これに対応する回路の出力108の電圧変化量 $\Delta V_3$ は、

$$\Delta V_3 = -\Delta Q_1 / C_3 - (C_1 + C_2) \cdot \Delta V_x / C_3$$

となり、上記電位 $V_x$ の変化量 $\Delta V_x$ が0の場合に比べ、 $(C_1 + C_2) \Delta V_x / C_3$ だけ変化量が大きくなる。ここで、浮遊容量101a及び、103と帰還容量106の容量 $(C_1 + C_2) / C_3$ における容量 $C_1$ 、 $C_2$ 、 $C_3$ の関係をみると、一般的に、 $C_1 \ll C_2$ であるので、基本的にはこの変化量は、信号読出線104の浮遊容量103の容量 $C_2$ に大きく依存する。さらに、この回路を半導体基板上に形成する場合に、帰還容量106の容量 $C_3$ を大きくすることは、そのために大きな面積を必要とすることになるので、通常 $C_2 > C_3$ の関係が成り立っていると考えられ、上記電位 $V_x$ の変化量 $\Delta V_x$ のわずかな変化に対して大きな出力電圧の変化、つまり特性の不安定性を発生することになる。より現実的に、フォトダイオード101の浮遊容量101aの容量 $C_1$ と、配線104の浮遊容量103の容量 $C_2$ の電位変化量 $\Delta V_{x1}$ 、 $\Delta V_{x2}$ が異なる場合であっても原理的には同じである。

【0021】素子においては、半導体基板の抵抗成分とそこを流れる電流によって、信号読出線（の位置）によ

って、電位変化量 $\Delta V_x$ が異なってくると考えられ、信号読出線によって出力電圧値が異なることになる。たとえば、容量 $C_2=1\text{ pF}$ 、容量 $C_3=0.1\text{ pF}$ とすると、ある信号読出線の電位変化量 $\Delta V_x$ が $1\text{ mV}$ 、それとは別の信号読出線の電位変化量 $\Delta V_x$ が、 $2\text{ mV}$ あったとすると、その差は $1\text{ mV}$ であるが、それぞれの出力においては、 $10\text{ mV}$ の出力差を与えることになり、これは画質を損なうのに十分な値となる。

【0022】実際、我々が図7の回路を用いて作製した固体撮像素子においては図11に示すような出力電圧の面内分布や、CMOSイメージャでよく知られている固定パターン雑音(FPN)などが現れ画質を大きく損なっていた。従って、良好な画質を得る、言い換えると、回路の出力108の電圧変化量 $\Delta V_3$ を安定させるには、電位変化量 $\Delta V_x$ を低減する。これは浮遊容量の両端の電圧を安定化させることが必要ことを意味する。電位変化量 $\Delta V_x$ を低減するには、信号読出線の浮遊容量の基板側の電位を場所的、時間的に安定させればよいと考えられる。また、さらに特性を改善するためには、フォトダイオードの浮遊容量の基板側の電位を安定させることが望ましい。

【0023】

【課題を解決するための手段】本発明の固体撮像素子は、信号読出線と基板との間に低抵抗の電極層を設け、これを安定な出力電圧特性を有する電源と接続することを特徴としている。回路図で示すと図4のようになり、浮遊容量の両端の電圧は、基準電圧 $V_{ref}$ と出力電圧 $V_a$ に固定されることになる。ただし、 $V_a=0$ 、つまり電極層は安定なグラウンド電位に接続してもよい。また、このような手段を講じた上で、さらに、受光領域のフォトダイオードのグラウンド側の電位を安定させることをもう一つの特徴としている。

【0024】本発明によれば、基板の電位が場所的、時間的に変化している場合においても、信号読出線の浮遊容量の両端の電圧は、それぞれ、基準電圧 $V_{ref}$ と新しく設けた電極層の電位に固定/安定化されるので、信号読出線の浮遊容量に蓄えられる電荷量が安定し、回路の出力特性、つまりはCMOSイメージャの画質は大幅に改善されることになる。さらに、フォトダイオードの浮遊容量のグラウンド側の電位を固定/安定化することにより、信号読み出し時にフォトダイオードの浮遊容量に蓄積される電荷量も安定化され、イメージャの画質はさらに改善されることになる。

【0025】

【発明の実施の形態】以下、図面にもとづいて本発明の固体撮像素子の実施形態を詳細について説明する。

【実施形態1】図1に本発明の固体撮像素子の実施形態1に係る1画素部(及びその周辺)の断面構造図を模式的に示す。図1(a)は、信号の読み出しをon/offするスイッチとしてのMOSTランジスター(図4の

102)を含む領域の断面図で、図1(b)はMOSTランジスターを含まない領域の断面図である。

【0026】この実施形態においては、p型半導体基板1上にイオン注入によってn型領域2が形成され、これによって光電変換領域としてのフォトダイオード3が形成されている。フォトダイオード3のn型領域2の一部は、信号読み出しやリセット動作のon/offのスイッチとして機能するMOSTランジスター4のソース4aに連続的に接続している。このMOSTランジスター4は、ソース4aに隣接してゲート酸化膜(図示せず)を介してpoly-Si等からなるゲート4bが形成され、このゲート4bを挟んでソース領域4aの反対側にドレイン4cが形成されている。このフォトダイオード3とMOSTランジスター4が形成された1つの画素領域の周辺には、画素分離領域としてフィールド酸化膜12が形成されている。

【0027】以上のようにフォトダイオード3、MOSTランジスター4およびフィールド酸化膜12が形成された半導体基板1上にはPSG(ポリ・シリケート・ガラス)等からなる層間膜5が積層されている。この層間膜5上には、金属材料等の低抵抗材料からなるコンタクト領域6が形成され、このコンタクト領域6は、層間膜5に形成された穴7を介して、MOSTランジスター4のドレイン4cと電気的に接続している。また、層間膜5上には、前記コンタクト領域6とは分離して金属材料等の低抵抗材料からなる電極層8が形成されている。

【0028】本実施形態においては、この電極層8の幅は図1(b)に示すようにMOSTランジスター4のない領域において信号読出線10の幅と同等にしている。電極層8の幅は、これに限定されるものではないが、電極層8と信号読出線10との重なりが小さくなると、電極層8の効果も小さくなるので、作製時の加工誤差による電極層8と信号読出線10との位置ずれ等も考慮して、電極層8の幅は、信号読出線10の幅の50%以上は必要である。

【0029】コンタクト領域6、および電極層8が形成された半導体基板1上には $\text{SiO}_2$ 等からなる絶縁層9が積層され、この絶縁層9の上には、信号読出線10が、電極層8と重なるようにして、絶縁層9に形成された穴11を介してコンタクト領域6と電気的に接続するように形成されている。以上のように各部が形成された半導体基板1上には、保護膜13としてシリコン窒化膜等が形成されている。以上のような構成において、実動作時には、電極層8は、図2に符号35で示すように、画素領域外において定電圧電源36に接続される。

【0030】次に図3を用いてこの固体撮像素子の製造方法について述べる。まず、図3(a)に示すように、p型半導体基板1に、画素分離領域となるフィールド酸化膜12を選択的熱酸化により形成する。次に半導体基

板1のフィールド酸化膜12領域以外の領域に、薄いゲート酸化膜(図示せず)を形成した後、MOSトランジスタ4のゲート4bとなる $\text{poly-Si}$ 等を半導体基板1全面に積層し、これに、図3(b)に示すように、フォトリソグラフィ法等を用いてゲート4bを形成する。

【0031】次に、図3(c)に示すように、イオン注入法によりフォトダイオード3のn型領域2、およびMOSトランジスタ4のソース4a、ドレイン4cを形成する。これらのn型領域は、同時に形成することが可能である。その後、図3(d)に示すように、半導体基板1の表面に層間膜5を形成し、フォトリソグラフィ法等を用いてコンタクト領域6とドレイン4cを接続するための穴7を形成する。その上からコンタクト領域6および電極層8となる金属材料を堆積し、再びフォトリソグラフィ法等を用いてコンタクト領域6と電極層8を形成する。

【0032】図3(e)に示すように、層間膜5上には酸化膜等からなる絶縁膜9を形成し、フォトリソグラフィ法等を用いて信号読出線10とコンタクト領域6とを接続するための穴11を形成した後、信号読出線10となる金属材料を堆積させ、再びフォトリソグラフィ法等により信号読出線10を電極層8と重なるように形成する。最後にシリコン窒化膜等からなる保護膜13を形成する。以上の工程は画素領域の作製方法について述べているが、同じ工程の中で画素領域周辺の垂直走査回路や水平走査回路、出力増幅系回路等も同時に作製される。

【0033】本実施形態においては、信号読出線の浮遊容量に加わる電圧が、基準電圧 $V_{\text{ref}}$ と電極層8に加える出力電圧 $V_a$ との差に固定されるので、基板の画素領域の電位が変動した場合においても、それは出力特性には影響を与えることなく、安定した出力特性、つまりは良好な画質が得られることになる。

【0034】なお、本実施形態の信号読出線部の配線構造は、本実施形態のような固体撮像素子以外においても、図12に示すように、積分回路110に接続される回路の出力信号が、何か低レベルのアナログ信号であるような回路系においても同様の効果を得ることができ。そして、それは積分回路110を形成するための帰還容量106の容量 $C_3$ と、この積分回路110の入力につながる信号線116の浮遊容量115の容量 $C_4$ との比が、 $C_4/C_3 > 1$ の場合に効果が大きい。

【0035】【実施形態2】実施形態2は、図6に示すように、実施形態1を基本構造として、それに各画素領域の基板領域が低抵抗でグランドと接続するように、グランド配線20とグランドコンタクト21を形成している。そして、このグランド配線20は、低抵抗で電源のグランドと接続している。このグランドコンタクト21は、各画素領域に形成してもよいが、その場合にはそれだけ受光面積が減少することになり全体的な感度特性が

低下することになる。図6よりわかるように、各グランドコンタクト21は基板1を介して接続しており、各画素領域にグランドコンタクト21を形成しなくともフォトダイオードを低抵抗でグランドと接続するという目的は達成される。たとえば、ある1つの画素にグランドコンタクト21を形成すれば、その画素とその画素を囲む画素は十分に低抵抗でグランドと接続されと考えられる。

【0036】本実施形態は実施形態1の作製方法と同じ手順で作製可能である。本実施形態によれば、信号読出線の浮遊容量に印加される電圧が、固定/安定化されることに加えて、フォトダイオードの浮遊容量に加わる電圧も固定/安定化されるので、実施形態1よりもさらに安定な出力特性が実現される。

【0037】

【発明の効果】以上述べたように、本発明によれば、CMOS型の固体撮像素子において信号読出線、さらにはフォトダイオードの浮遊容量に加わる電圧が固定/安定化されることによって、出力特性が画素全面にわたり安定化、および均一化される。これによって良好な画像特性が達成される。

【図面の簡単な説明】

【図1】本発明の固体撮像素子の実施形態1に係る1画素部近傍の断面構造図であり、(a)はスイッチ用MOSトランジスタを含む領域、(b)はMOSトランジスタを含まない領域である。

【図2】本発明の固体撮像素子の実施形態1の全体構成図である。

【図3】本発明の固体撮像素子の実施形態1に係る1画素部の作製工程図である。

【図4】本発明の固体撮像素子の実施形態に係る1画素部およびその信号読出回路図である。

【図5】従来例、および本発明の固体撮像素子の信号読み出し手順である。

【図6】本発明の固体撮像素子の実施形態2に係る1画素部近傍の断面構造図であり、(a)はスイッチ用MOSトランジスタを含む領域、(b)はグランドコンタクトを含む領域である。

【図7】本発明の固体撮像素子に係る信号読出系回路の理想例である。

【図8】従来の固体撮像素子の1画素部近傍の断面構造図であり、(a)はスイッチ用MOSトランジスタを含む領域、(b)はそれを含まない領域である。

【図9】従来の固体撮像素子の全体構成図である。

【図10】従来の固体撮像素子の問題点を説明するための現実的回路図である。

【図11】従来の固体撮像素子の特性例である。

【図12】本発明の半導体増幅回路の実施形態に係る信号読出系回路図である。

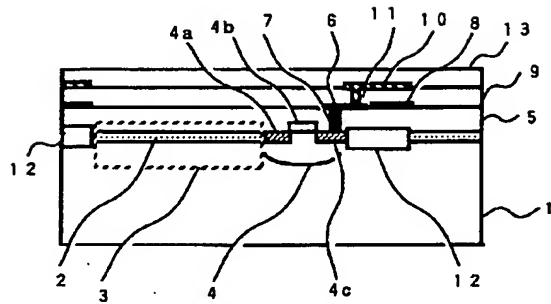
【符号の説明】



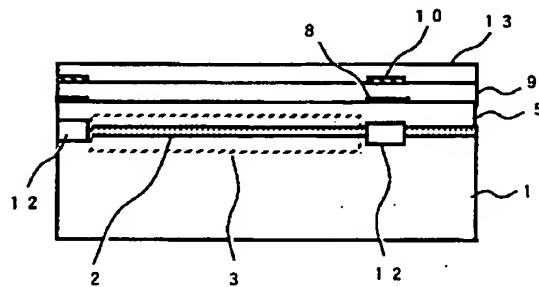
- 31 フォトダイオード
- 32 MOSトランジスター
- 33 水平駆動線
- 34 信号読出线
- 35 電極層
- 36 定電圧電源

- 37 信号読出线と電極層との間で形成される浮遊容量
- 111 電極層と定電圧電源との接続点
- 115 浮遊容量
- 116 信号読出线
- 117 定電圧電源

【図1】

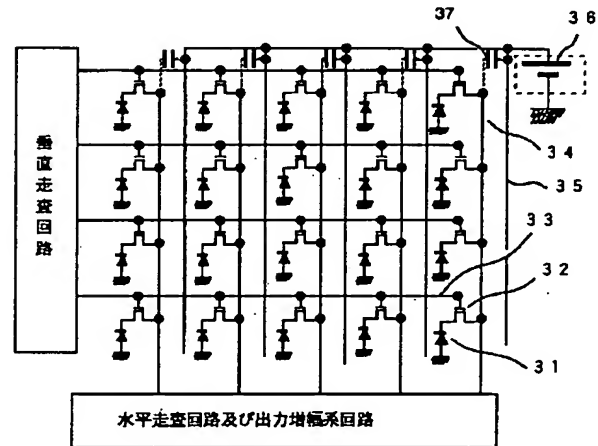


(a)

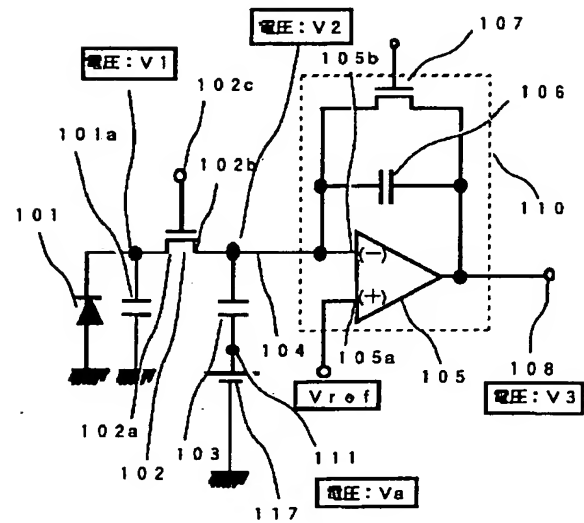


(b)

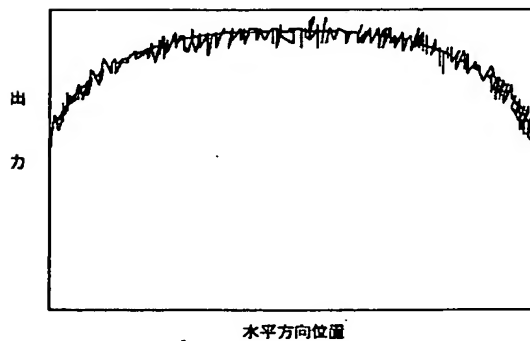
【図2】



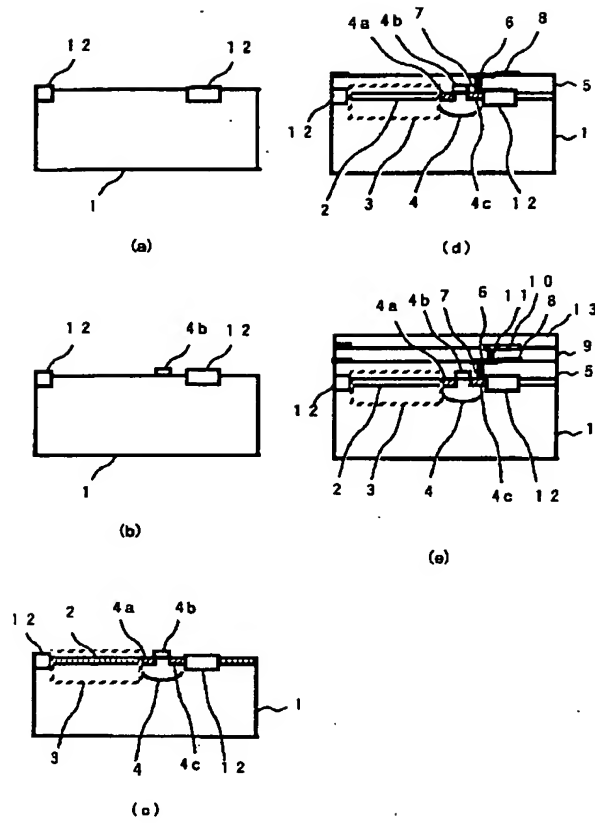
【図4】



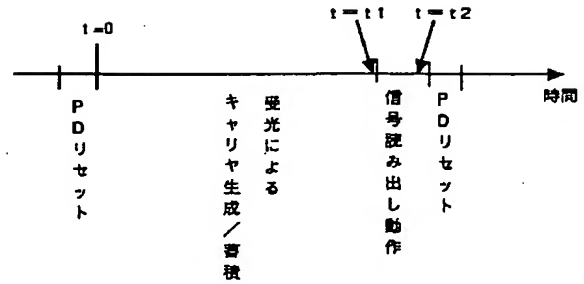
【図11】



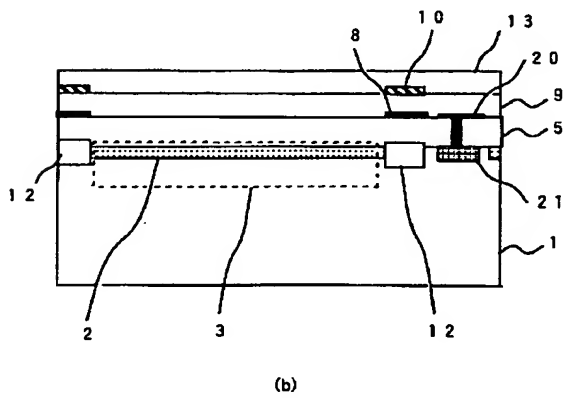
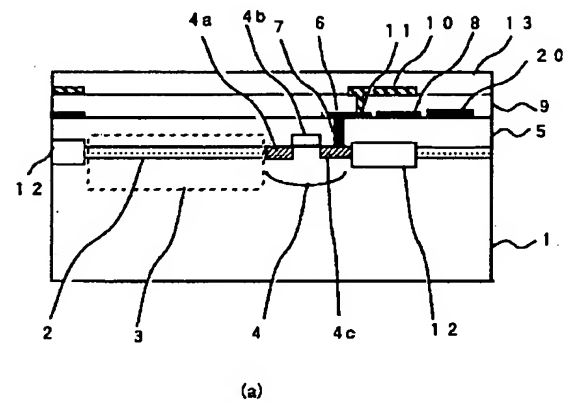
【図3】



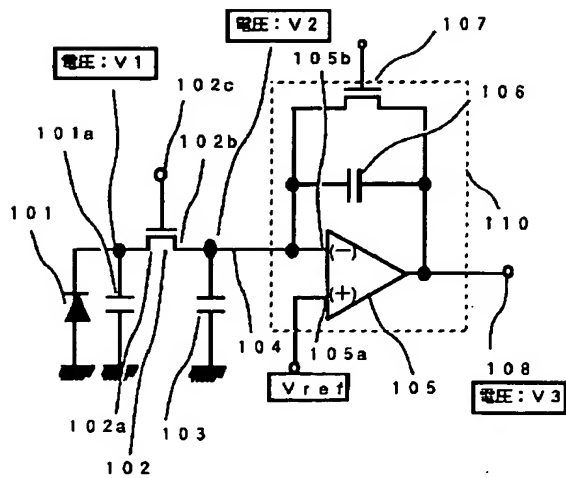
【図5】



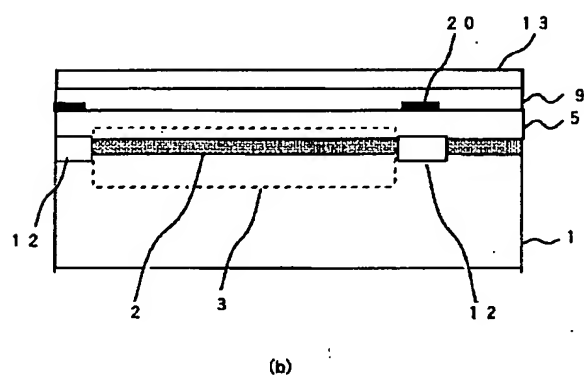
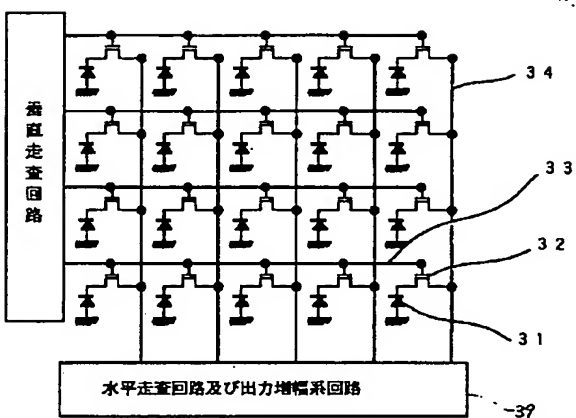
【図6】



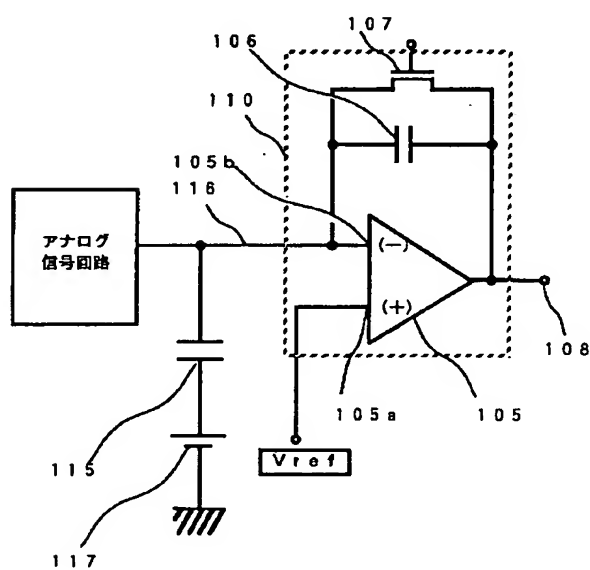
【図7】



【図9】



【図 12】



【図10】

